

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-133931
 (43)Date of publication of application : 09.05.2003

(51)Int.Cl.
 H03K 17/693
 H03K 17/00
 H03K 17/04
 H03M 9/00

(21)Application number : 2001-322375
 (22)Date of filing : 19.10.2001

(71)Applicant : FUJITSU LTD
 (72)Inventor : TAKAUCHI HIDENORI
 GOTO KOTARO

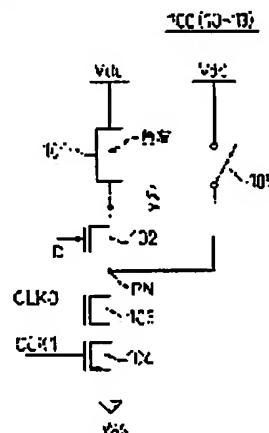
(54) MULTIPLEXER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To overcome a problem such that in conventional multiplexer circuits, reducing the resistance value of pullup resistors in order to enable fast operation increases the power consumption and the delay due to a transfer-gate interposed in series with parallel data makes fast operation difficult.

特許に係るマルチプレクサ回路のデータ出力端子を直接接続する
第1主トランジスタを示す回路図

SOLUTION: This multiplexer circuit is provided with a plurality of multiplexer cells 100 (10 to 13) where each of the cells converts the parallel data to serial data in synchronization with clock signals CLK0 and CLK1. The circuit has a first load 101 and a plurality of first conductivity type transistors 103 and 104 connected in series between a first line Vdd of power and a second line Vss of power, and a level-shifting means 105 for level-shifting a connection node PN between the adjacent first conductivity type transistors toward the first line of power.



LEGAL STATUS

[Date of request for examination]	23.08.2004
[Date of sending the examiner's decision of rejection]	24.01.2006
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3810298
[Date of registration]	02.06.2006
[Number of appeal against examiner's decision of rejection]	2006-003411
[Date of requesting appeal against examiner's decision of rejection]	23.02.2006
[Date of extinction of right]	

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-133931

(P2003-133931A)

(43)公開日 平成15年5月9日(2003.5.9)

(51) Int.Cl.	機別記号	F I	テ-マ-ト(多岐)
H 03 K 17/693		H 03 K 17/693	A 5 J 0 5 5
17/00		17/00	E
17/04		17/04	E
H 03 M 9/00		H 03 M 9/00	B

審査請求 未請求 請求項の数10 OL (全15頁)

(21)出願番号	特願2001-322375(P2001-322375)	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成13年10月19日(2001.10.19)	(72)発明者	高内 英規 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(72)発明者	後藤 公太郎 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(74)代理人	100077517 弁理士 石田 敬 (外4名)

最終頁に続く

(54)【発明の名称】 マルチブレクサ回路

(57)【要約】

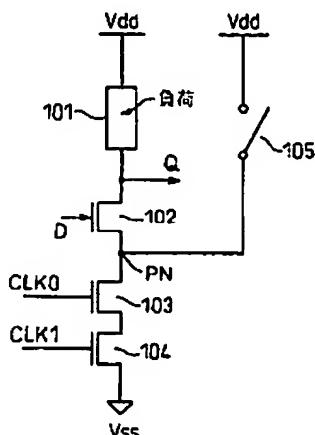
【課題】 従来のマルチブレクサ回路では、高速動作を可能とするためにプルアップ抵抗の値を小さくすると消費電力の増大を招き、また、パラレルデータに直列に挿入されたトランジスターゲートによる遅延で高速動作が困難であった。

【解決手段】 マルチブレクサ回路は、パラレルデータDが供給された複数のマルチブレクサセル100(10~13)を備え、該各マルチブレクサセルは、該パラレルデータをクロック信号CLK0,CLK1に同期してシリアルデータに変換し、第1の電源線Vddと第2の電源線Vssとの間に直列に接続された第1の負荷101並びに複数の第1電導型のトランジスタ103,104、および、前記隣接する第1電導型トランジスタの接続ノードPNを前記第1の電源線のレベルに向けて変化させるレベル変化手段105を備える。

図6

本発明に係るマルチブレクサ回路におけるマルチブレクサセルの第1実施例を示す回路図

100(10~13)



【特許請求の範囲】

【請求項1】 パラレルデータが供給された複数のマルチプレクサセルを備え、前記パラレルデータをクロック信号に同期してシリアルデータに変換するマルチプレクサ回路であって、前記各マルチプレクサセルは、第1の電源線と第2の電源線との間に直列に接続された第1の負荷並びに複数の第1電導型のトランジスタ、および、

前記隣接する第1電導型トランジスタの接続ノードを前記第1の電源線のレベルに向けて変化させるレベル変化手段を備えることを特徴とするマルチプレクサ回路。

【請求項2】 請求項1に記載のマルチプレクサ回路において、前記直列接続された第1の負荷と第1電導型のトランジスタとの接続ノードから前記各マルチプレクサセルの出力を取り出すことを特徴とするマルチプレクサ回路。

【請求項3】 請求項1に記載のマルチプレクサ回路において、前記レベル変化手段を、前記隣接する第1電導型トランジスタの接続ノードの異なる個所に複数設けたことを特徴とするマルチプレクサ回路。

【請求項4】 請求項1に記載のマルチプレクサ回路において、前記レベル変化手段を、前記第1の電源線に接続した少なくも1つの第2電導型のトランジスタで構成したことを特徴とするマルチプレクサ回路。

【請求項5】 請求項1に記載のマルチプレクサ回路において、前記レベル変化手段を、前記第1の電源線に接続した第2の負荷と該第2の負荷に直列接続した少なくも1つの第1電導型のトランジスタで構成したことを特徴とするマルチプレクサ回路。

【請求項6】 請求項5に記載のマルチプレクサ回路において、前記第1および第2の負荷を、クロスカップル接続された第2電導型のトランジスタで構成したことを特徴とするマルチプレクサ回路。

【請求項7】 請求項5に記載のマルチプレクサ回路において、前記第1および第2の負荷を、クロスカップル接続された第2電導型のトランジスタ、および、クロスカップルしていない第2電導型のトランジスタを並列に設けて構成したことを特徴とするマルチプレクサ回路。

【請求項8】 請求項1に記載のマルチプレクサ回路において、前記レベル変化手段は、レイアウト上の回路の対称性を維持するようになっていることを特徴とするマルチプレクサ回路。

【請求項9】 請求項1～8のいずれか1項に記載のマルチプレクサ回路において、前記各マルチプレクサセルは、差動の信号を処理する差動回路として構成されることを特徴とするマルチプレクサ回路。

【請求項10】 請求項1～9のいずれか1項に記載のマルチプレクサ回路において、さらに、前記複数のマルチプレクサセルの出力に設けたラッチ手段を備えることを特徴とするマルチプレクサ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、LSI間や複数のLSIで構成した装置間の信号伝送を高速に行うための技術に関し、特に、パラレルデータをシリアルデータに変換するマルチプレクサ回路に関する。

【0002】 近年、コンピュータやその他の情報処理機器を構成する部品の性能は大きく向上しており、例えば、DRAM (Dynamic Random Access Memory) 等の半導体記憶装置やプロセッサ等の性能向上は目を見張るものがある。そして、この半導体記憶装置やプロセッサ等の性能向上に伴って、各部品或いは要素間の信号伝送速度を向上させなければ、システムの性能を向上させることができないという事態になって来ている。

【0003】 近年、LSIの高速動作に伴って、LSI間や複数のLSIで構成した装置間の信号伝送として、大容量の信号伝送を高速に行うことのできる信号伝送システムの提供が必要とされている。具体的に、例えば、ネットワークインフラ向けのソリューションでは、ギガビットの高速伝送が要求されるようになり、「ギガビットSerDes (Serializer and Deserializer)」といったデバイスが注目されている。そして、例えば、装置間の信号伝送を目的としたインターフェース回路で用いられるLSIにおいて、パラレルデータをクロック信号に同期したシリアルデータに高速に変換することのできるマルチプレクサ回路の提供が要望されている。

【0004】

【従来の技術】 近年、SerDes機能を有するインターフェース回路において、ネットワークスイッチなどのデータ処理を行うロジック回路から受け取る比較的速度の遅いパラレルデータを、例えば、Gbpsレベルの高速なシリアルデータに変換して出力する必要がある。このようにデータの速度が速くなると、LSI回路内の動作周波数に上限がある部分については、別途電流パスを作るなどにより時定数を改善したり、或いは、LSI内部のデータ処理においても差動信号を用いて電源インダクタンス分の低減を行うことが必要となって来ている。

【0005】 従来、パラレルデータをシリアルデータに変換するマルチプレクサ回路としては、例えば、W. Daly et al., "DIGITAL SYSTEMS ENGINEERING", Cambridge, 1998などの文献(例えば、FIGURE 11-22, FIGURE 11-25)にあるように、多相クロック信号を用いてデータ処理を行っている。

【0006】 図1は従来のマルチプレクサ回路の一例を示す回路図であり、また、図2は図1のマルチプレクサ回路の動作を説明するためのタイミング図である。これら図1および図2は、上述した文献のFIGURE 11-22に対応する。図1において、参照符号1001～1003, 1011～1013, 1021～1023および1031～1033はnチャネル型MOSトランジスタ(nM

OSトランジスタ)、RTは抵抗、 $\phi_0 \sim \phi_3$ は互いに位相が90°ずれた四相クロック信号、そして、d0～d3はパラレルデータを示している。

【0007】図1に示されるように、各トランジスタ(入力トランジスタ)1001, 1011, 1021および1031のゲートには、それぞれパラレルデータd0, d1, d2, およびd3が供給され、また、これらの入力トランジスタと直列に接続されたトランジスタ1002, 1003; 1012, 1013; 1022, 1023および1032, 1033には、それぞれクロック信号 ϕ_3 , ϕ_0 ; ϕ_0 , ϕ_1 ; ϕ_1 , ϕ_2 および ϕ_2 , ϕ_3 が入力され、各クロック信号が共に高レベル『H』になるときにデータを取り込むようになっている。

【0008】すなわち、図2に示されるように、データd0は、クロック信号 ϕ_3 および ϕ_0 が共に高レベル『H』のときに取り込まれ、データd1は、クロック信号 ϕ_0 および ϕ_1 が共に高レベル『H』のときに取り込まれ、データd2は、クロック信号 ϕ_1 および ϕ_2 が共に高レベル『H』のときに取り込まれ、そして、データd3は、クロック信号 ϕ_2 および ϕ_3 が共に高レベル『H』のときに取り込まれ、これにより、パラレルデータd0～d3は、例えば、四相クロック信号($\phi_0 \sim \phi_3$)に同期してシリアルデータに変換されて出力OUT+に伝えられる。

【0009】図3は従来のマルチブレクサ回路の他の例を示す回路図であり、前述した文献のFIGURE 11-25に対応する。図3において、参照符号1110～1117, 1120～1127, 1131～1133および1141～1143はnMOSトランジスタ、1134, 1135および1144, 1145は負荷を示している。なお、クロック信号 $\phi_0 \sim \phi_3$ は前述した互いに位相が90°ずれた四相クロック信号であり、また、d0～d3はパラレルデータである。

【0010】ここで、クロック信号/ $\phi_0 \sim \phi_3$ およびデータ/d0～/d3は、それぞれクロック信号 $\phi_0 \sim \phi_3$ およびデータd0～d3の反転信号(逆論理の信号)を示している。従って、例えば、クロック信号/ ϕ_0 は、クロック信号 ϕ_2 と同じ信号であり、また、クロック信号/ ϕ_1 は、クロック信号 ϕ_3 と同じ信号である。また、参照符号Vcは、トランジスタ1133および1143のゲートに印加される所定のバイアス電圧を示し、さらに、Vrは負荷1144および1145を介して出力OUT-, OUT+に印加される基準電圧を示している。

【0011】図3に示すマルチブレクサ回路は、差動(相補)の信号を使用するものであり、正論理のパラレルデータd0, d1, d2, d3は、それぞれ対応するトランジスタ1110, 1120; 1112, 1122; 1114, 1124; 1116, 1126のゲート

に供給される各2つのクロック信号 ϕ_0 , / ϕ_1 ; ϕ_1 , / ϕ_2 ; ϕ_2 , / ϕ_3 ; ϕ_3 , / ϕ_0 が共に高レベル『H』になるときに取り込まれ、シリアルデータmとして差動対を構成する一方のトランジスタ1132のゲートに供給される。同様に、負論理のパラレルデータ/d0, /d1, /d2, /d3は、それぞれ対応するトランジスタ1111, 1121; 1113, 1123; 1115, 1125; 1117, 1127のゲートに供給される各2つのクロック信号 ϕ_0 , / ϕ_1 ; ϕ_1 , / ϕ_2 ; ϕ_2 , / ϕ_3 ; ϕ_3 , / ϕ_0 が共に高レベル『H』になるときに取り込まれ、シリアルデータ/mとして差動対を構成する他方のトランジスタ1131のゲートに供給される。

【0012】トランジスタ1131～1133および負荷1134, 1135より成る差動増幅器はプリドライバを構成し、このプリドライバの差動出力p, /pがトランジスタ1141～1143および負荷1144, 1145で構成される出力段の差動増幅器の差動入力(差動トランジスタ1141, 1142のゲート)に供給される。そして、出力段の差動増幅器は、差動出力OUT+, OUT-を出力する。

【0013】

【発明が解決しようとする課題】図1～図3に示す従来のマルチブレクサ回路には、次のような解決すべき課題がある。

【0014】まず、図1および図2を参照して説明した従来のマルチブレクサ回路においては、クロック信号により制御される直列接続されたトランジスタが切れた瞬間、その直上のノードは、そのノードの電位とその直上のトランジスタに入力されるデータの電位で決まる電流により充電されて電位が上がることになるが、その時定数は、pMOSトランジスタによる充電と比べると非常に長くなっている、高速動作が難しい。

【0015】具体的に、例えば、パラレルデータd0に関して、このデータd0が高レベル『H』であると仮定すると、クロック信号 ϕ_3 および ϕ_0 が共に高レベル『H』のときには、トランジスタ1002および1003が共にオンして、出力OUTの電位を低レベル『L』(Vss)に引き下げる。この後、クロック信号 ϕ_3 が高レベル『H』から低レベル『L』に立ち下がると、トランジスタ1002がオフすると共に、クロック信号 ϕ_1 が低レベル『L』から高レベル『H』に立ち上がってトランジスタ1013をオンし(このとき、トランジスタ1011はクロック信号 ϕ_0 が高レベル『H』なのでオンしている)、データd1に対応したレベルが出力OUTに現れる。このとき、パラレルデータd1が低レベル『L』であると仮定すると、このデータd1に応じて出力OUTは高レベル『H』に変化するが、この出力OUTを高速に高レベル『H』(Vdd)に立ち上げるには抵抗(プルアップ抵抗)RTの値を小さくしなければなら

ない。しかしながら、プルアップ抵抗R Tの値を小さくすることは、消費電力の増大を招くため、実際には、図1に示す回路では高速動作が困難となっている。

【0016】次に、図3を参照して説明した従来のマルチプレクサ回路においては、パラレルデータ側からプリドライバを駆動するノードに2つのトランスマルチプレクサが存在することになるため、高速で動作させることが難しい。

【0017】すなわち、例えば、パラレルデータd 0および/d 0は、それぞれクロック信号 $\phi 0$ 、/ $\phi 1$ により制御されるトランスマルチプレクサ（トランジスタ）1110、1120および1111、1121を介して、プリドライバの差動対トランジスタ1132および1131のゲートに供給されるが、この直列に挿入された2つのトランスマルチプレクサによる遅延のために、高速動作が困難となっている。

【0018】本発明は、上述した従来のマルチプレクサ回路が有する課題に鑑み、パラレルデータをクロック信号に同期したシリアルデータに高速に変換することのできるマルチプレクサ回路の提供を目的とする。

【0019】

【課題を解決するための手段】本発明によれば、パラレルデータが供給された複数のマルチプレクサセルを備え、前記パラレルデータをクロック信号に同期してシリアルデータに変換するマルチプレクサ回路が提供され、この各マルチプレクサセルは、第1の電源線と第2の電源線との間に直列に接続された第1の負荷並びに複数の第1電導型のトランジスタ、および、前記隣接する第1電導型トランジスタの接続ノードを前記第1の電源線のレベルに向けて変化させるレベル変化手段を備える。

【0020】この本発明のマルチプレクサ回路によれば、各マルチプレクサセルが第1の負荷並びに複数の第1電導型のトランジスタ、および、レベル変化手段を備える。第1の負荷並びに複数の第1電導型のトランジスタは、第1の電源線と第2の電源線との間に直列に接続され、また、レベル変化手段は、隣接する第1電導型トランジスタの接続ノードに設けられ、この接続ノードを第1の電源線のレベルに向けて変化させる。

【0021】本発明のマルチプレクサ回路によれば、パラレルデータをクロック信号に同期したシリアルデータに高速に変換することができる。

【0022】

【発明の実施の形態】以下、本発明に係るマルチプレクサ回路の各実施例を添付図面を参照して詳述する。

【0023】図4は本発明に係るマルチプレクサ回路の全体構成の一例を示すブロック図であり、図5は図4のマルチプレクサ回路の動作を説明するためのタイミング図である。図4において、参照符号10～13はマルチプレクサセル、PD 0～PD 3はパラレルデータ、そして、SDはシリアルデータを示している。ここで、図4

のマルチプレクサ回路は、4：1のマルチプレクサ回路の例であるが、本発明は、これに限定されないのはいうまでもない。

【0024】図4に示されるように、マルチプレクサ回路は、4つのマルチプレクサセル10～13を備え、各マルチプレクサセル10、11、12、13には、それぞれクロック信号 $\phi 0$ 、 $\phi 1$ ； $\phi 1$ 、 $\phi 2$ ； $\phi 2$ 、 $\phi 3$ ； $\phi 3$ 、 $\phi 0$ が供給されている。ここで、図5に示されるように、クロック信号 $\phi 0$ ～ $\phi 3$ は、互いに位相が90°ずれた四相クロック信号であり、パラレルデータPD 0～PD 3は、この四相クロック信号 $\phi 0$ ～ $\phi 3$ に同期してシリアルデータSD 0～SD 3に変換される。

【0025】図6は本発明に係るマルチプレクサ回路におけるマルチプレクサセルの第1実施例を示す回路図である。

【0026】図6に示されるように、本第1実施例のマルチプレクサセル100（10～13）は、負荷101、nMOSトランジスタ102～104、および、プルアップスイッチ（プルアップ用トランジスタ）105を備えて構成される。

【0027】負荷101は、高電位電源線（Vdd）と出力ノード（出力Q）との間に設けられ、さらに、この出力Qと低電位電源線（Vss）との間にはトランジスタ102～104が直列に接続されている。

【0028】トランジスタ102は、そのゲートに入力データD（パラレルデータPD 0～PD 3）を受けて出力Qを駆動し、また、トランジスタ103および104は、各ゲートに供給されるクロック信号CLK 0およびCLK 1に応じてスイッチング動作を行うようになっている。ここで、トランジスタ102とトランジスタ103との接続ノードPNは、プルアップスイッチ105を介して高電位電源線（Vdd）に接続されている。

【0029】すなわち、駆動用トランジスタ102は、クロック信号CLK 0およびCLK 1により制御されるスイッチ用（データ確定用）のトランジスタ103および104がオンするときに、入力データDに応じて出力データ（Q）を確定する。ここで、入力データDは、各マルチプレクサセル10～13毎にパラレルデータPD 0～PD 3とされ、また、クロック信号CLK 0、CLK 1は、各マルチプレクサセル10～13毎にクロック信号 $\phi 0$ 、 $\phi 1$ ； $\phi 1$ 、 $\phi 2$ ； $\phi 2$ 、 $\phi 3$ ； $\phi 3$ 、 $\phi 0$ とされる。

【0030】図6に示されるように、本第1実施例のマルチプレクサセル100は、駆動用トランジスタ102とデータ確定用トランジスタ103との接続ノードPNに対して、高電位電源電圧Vddにプルアップするプルアップスイッチ105が接続され、データ入力されるトランジスタ102のノードを直接プルアップするので、前述した図1の従来例に対して高速動作の面で優位である。さらに、パラレルの入力データDがnMOSトラン

ジスタ102のゲートを直接駆動するので、前述した図3の従来例とは異なり高速動作が可能である。

【0031】図7は本発明のマルチプレクサセルの第2実施例を示す回路図である。

【0032】図7と図6との比較から明らかなように、本第2実施例のマルチプレクサセルは、第1実施例のマルチプレクサセルにおけるプルアップ位置を2個所にしたものに相当する。すなわち、駆動用トランジスタの102とデータ確定用トランジスタ103との接続ノードPN1に対して、高電位電源電圧Vddにプルアップする第1のプルアップスイッチ105を設け、さらに、データ確定用トランジスタ103と104との接続ノードPN2に対して、高電位電源電圧Vddにプルアップする第2のプルアップスイッチ106を設けるようになっている。

【0033】このように、プルアップ位置を複数個所にすることにより、各ノード(PN1, PN2)の初期状態への遷移時間を短くし、より一層の高速動作が可能になる。

【0034】図8は本発明のマルチプレクサセルの第3実施例を示す回路図であり、図9は図8のマルチプレクサセルの動作を説明するためのタイミング図である。

【0035】図8に示されるように、本第3実施例のマルチプレクサセルは、pMOSトランジスタ111, 112、および、nMOSトランジスタ113～115を備えて構成される。トランジスタ111, 113, 114は、高電位電源線(Vdd)と低電位電源線(Vss)との間に直列に接続され、トランジスタ111および114のゲートにはクロック信号CLK0が供給されている。駆動用トランジスタ113のゲートには入力データDが供給され、また、トランジスタ111と113との接続ノードには、ソースが高電位電源線(Vdd)に接続されゲートに入力データDが供給されたプルアップ用のトランジスタ112のドレインが接続されると共に、クロック信号CLK1がゲートに供給されたトランジスタ115が出力Qとの間に挿入されている。

【0036】次に、この第3実施例のマルチプレクサセルを、例えば、図4におけるマルチプレクサセル10に適用した場合を説明する。

【0037】図9に示されるように、クロック信号 $\phi 0$ (CLK0)および $\phi 1$ (CLK1)が共に低レベル『L』のとき(期間T3')、トランジスタ111はオンしてトランジスタ114および115はオフし、ノードN1は高レベル『H』(高電位電源電圧Vdd)にプルアップされる。ただし、トランジスタ115はオフなので、ノードN1のレベルは出力SD0(Q)には伝わらない。

【0038】まず、パラレルデータPD0(D)が高レベル『H』であると仮定すると、この高レベル『H』のデータPD0によりトランジスタ113がオンしてトランジ

ジスタ112がオフし、クロック信号 $\phi 0$ が低レベル『L』から高レベル『H』になると(期間T0)、トランジスタ114がオンしてトランジスタ111がオフし、ノードN1は低レベル『L』(低電位電源電圧Vs)に引き下げられる。続いて、クロック信号 $\phi 1$ も低レベル『L』から高レベル『H』になると(期間T1)、トランジスタ115がオンしてノードN1のレベルが出力SD0になる。

【0039】一方、パラレルデータPD0(D)が低レベル『L』であると仮定すると、この低レベル『L』のデータPD0によりトランジスタ113がオフしてトランジスタ112がオンし、ノードN1は高レベル『H』に引き上げられ(高レベル『H』を維持し)、クロック信号 $\phi 0$ が低レベル『L』から高レベル『H』になると(期間T0)、トランジスタ114がオンしてトランジスタ111がオフするが、ノードN1は高レベル『H』を維持する。続いて、クロック信号 $\phi 1$ も低レベル『L』から高レベル『H』になると(期間T1)、トランジスタ115がオンしてノードN1のレベルが出力SD0になる。

【0040】さらに、続いて、クロック信号 $\phi 0$ が高レベル『H』から低レベル『L』になると(期間T2)、トランジスタ114がオフしてトランジスタ111がオンし、ノードN1は再び高レベル『H』にプルアップされる。なお、この期間T2において、クロック信号 $\phi 1$ は高レベル『H』でトランジスタ115はオンしており、高レベル『H』にプルアップされたノードN1のレベルは出力Q(SD1)へ伝えられるが、次に動作するマルチプレクサセルが低レベル『L』を出力する場合(例えば、図4におけるマルチプレクサセル11に高レベル『H』のパラレルデータPD1が供給されて出力Qに低レベル『L』を伝える場合)には、高レベル『H』にプルアップされた出力Q(SD1)のレベルは低レベル『L』に引き下げられる。ここで、pMOSトランジスタ111および112は、小さいサイズのトランジスタとして構成され、例えば、トランジスタ111および112がオンしている状態で、次に動作するマルチプレクサセルが低レベル『L』を出力する場合でも、出力ノード(Q)を瞬時に低レベル『L』に引き下げができるようになっている。

【0041】このように、本第3実施例によれば、例えば、図3を参照して説明したマルチプレクサ回路と比較して、クロック信号CLK0($\phi 0$)による選択を NAND型にすることで出力ノードのプルアップパスに接続されているnMOSトランジスタをトランジスタ115だけとして一段削る(例えば、図3におけるトランジスタ1110, 1111を削る)ことにより、高速動作が可能になる。

【0042】図10は本発明のマルチプレクサセルの第4実施例を示す回路図である。

【0043】図10に示されるように、本第4実施例のマルチブレクサセルは、pMOSトランジスタ116, 117、および、nMOSトランジスタ113～115を備えて構成される。ここで、nMOSトランジスタ113～115は、上述した第3実施例と同様に機能するものであり、また、ゲートに低電位電源電圧Vssが印加されたpMOSトランジスタ116は負荷素子として機能し、また、ゲートに低電位電源電圧Vssが印加されたpMOSトランジスタ117はプルアップ素子として機能する。

【0044】このように、本第4実施例によれば、例えば、図3を参照して説明したマルチブレクサ回路と比較して、クロック信号CLK0による選択を行うトランジスタ114をデータ入力トランジスタ113の低電位電源線(Vss)側に配置することにより、出力ノードのプルアップバスに接続されているnMOSトランジスタをトランジスタ115だけとして一段削る(例えば、図3におけるトランジスタ1110, 1111を削る)ことができ、より高速な動作が可能になる。

【0045】図11は本発明のマルチブレクサセルの第5実施例を示す回路図であり、差動信号を扱うようになっている。

【0046】図11に示されるように、本第5実施例のマルチブレクサセルは、pMOSトランジスタ121, 122、および、nMOSトランジスタ123～126を備えて構成される。ここで、ゲートに低電位電源電圧Vssが印加されたpMOSトランジスタ121および122は負荷素子として機能する。また、nMOSトランジスタ123および124は差動対トランジスタであり、各ゲートに差動(相補)の入力データD, DX(パラレルデータPD, XPD)が供給される。ここで、入力データDXおよびパラレルデータPDXは、それぞれ入力データDおよびパラレルデータPDの反転レベルの信号を示している。

【0047】トランジスタ125および126は、差動増幅部(トランジスタ121～124)と低電位電源線(Vss)との間に設けられ、トランジスタ125のゲートにはクロックCLK0が供給され、また、トランジスタ126のゲートにはクロックCLK1が供給されている。なお、本第5実施例は、見方によれば、図6に示す第1実施例において、負荷101をトランジスタ121(122)で構成し、プルアップスイッチ105をトランジスタ122, 124(121, 123)で構成したものに相当する。

【0048】本第5実施例のマルチブレクサセルは、例えば、図4におけるマルチブレクサセル10に適用した場合、クロック信号φ0(CLK0)およびφ1(CLK1)が共に高レベル『H』になると(図9における期間T1)、差動増幅部が活性化(パラレルデータPD0, PD0Xを受け取る差動対トランジスタ123, 124が動作)して、出力Q, QX(SD0, SD0X)が確定する。ここで、トランジスタ123のゲートに供給される入力データD(パラレルデータPD)が低レベル『L』だと出力(シリアルデータ)SD0は高レベル『H』になるが、このとき、入力データDX(パラレルデータPDX)が高レベル『H』となりトランジスタ124がオンして、差動対トランジスタ123, 124の直下のノード(PN)をプルアップする。

【0049】このように、本第5実施例によれば、出力ノードのプルアップバスに接続されているnMOSトランジスタ(例えば、図3におけるトランジスタ1110, 1120: 1111, 1121)を削除して高速動作を行うことが可能である。また、本第5実施例によれば、見方によっては、入力データが供給されるnMOSトランジスタ123の直下のノード(PN)をトランジスタ122, 124および121, 123により相補にプルアップすることで高速動作が可能になる。

【0050】図12は本発明のマルチブレクサセルの第6実施例を示す回路図である。

【0051】図12と図11との比較から明らかなように、本第6実施例のマルチブレクサセルでは、第5実施例における負荷素子(トランジスタ121, 122)をクロスカップル接続したpMOSトランジスタ127および128により構成し、差動対トランジスタ123および124により駆動される出力ノード(Q, QX)を相補にプルアップして相補関係を保ちながら高速な動作を可能とするようになっている。

【0052】図13は本発明のマルチブレクサセルの第7実施例を示す回路図である。

【0053】本第7実施例のマルチブレクサセルは、上述した図11の第5実施例および図12の第6実施例におけるトランジスタ121, 122および127, 128を両方とも備えている。

【0054】ところで、上述した図12の第6実施例のマルチブレクサセルは、例えば、トランジスタの製造ばらつき等があっても差動(相補)信号の補償を行うことができるが、その分、前述した図11の第5実施例のマルチブレクサセルよりも動作速度が低下することになる。

【0055】本第7実施例のマルチブレクサセルは、上記の第5実施例と第6実施例の両方の長所を備えるようにしたものであり、差動対トランジスタ123および124により駆動される出力ノード(Q, QX)を、pMOS負荷121, 122によりプルアップすると共に、クロスカップル負荷127, 128により相補にプルアップすることで、相補関係を保ちながら上述した第6実施例よりもドレン負荷を低減することができる。すなわち、クロスカップル接続されるトランジスタ125および126のゲートは、それぞれ並列接続された2つのトランジスタ122, 126および121, 125のド

11

レインに接続されるため、ドレン負荷が低減されて、高速動作に寄与することになる。

【0056】図14は本発明のマルチプレクサセルの第8実施例を示す回路図である。

【0057】図14と図11との比較から明らかなように、本第8実施例のマルチプレクサセルは、前述した第5実施例のマルチプレクサセルに対して、差動対トランジスタ123、124の直下のノード(PN)をプルアップするpMOSトランジスタ131、132を設けたものである。

【0058】トランジスタ131、132のゲートには、nMOSトランジスタ125のゲートに供給されるクロック信号CLK0が供給され、クロック信号CLK0が低レベル『L』となってトランジスタ125がオフする期間、トランジスタ131、132がオンしてノードPNをプルアップするようになっている。ここで、プルアップ用のトランジスタが131、132と2つ設けられているのは、レイアウト上の回路の対称性を維持するためである。従って、例えば、レイアウト上、差動増幅部(トランジスタ121～124)の中央部分にプルアップ用のトランジスタを配置することができれば、このプルアップ用のトランジスタを1つのトランジスタにより構成することもできる。

【0059】本第8実施例のマルチプレクサセルは、トランジスタ125がオフする期間、トランジスタ131、132がオンしてノードPNをプルアップすることにより、ノードPNの初期状態への遷移時間を短くして高速動作を可能にする。

【0060】図15は本発明のマルチプレクサセルの第9実施例を示す回路図である。

【0061】図15と図14との比較から明らかなように、本第9実施例のマルチプレクサセルは、上述した第8実施例のマルチプレクサセルに対して、さらに、トランジスタ125および126の接続ノード(PN2)をプルアップするpMOSトランジスタ133、134を設けたものである。なお、pMOSトランジスタ131、132は、第8実施例と同様に、差動対トランジスタ123、124の直下のノード(PN1)をプルアップする。また、これらトランジスタ131～134の各ゲートには、トランジスタ125のゲートに供給するのと同じクロック信号CLK0が供給されている。

【0062】本第9実施例のマルチプレクサセルは、前述した図7に示す第2実施例のマルチプレクサセルと同様に、プルアップ位置を2個所(複数個所)にすることにより、各ノード(PN1、PN2)の初期状態への遷移時間を短くして、より一層の高速動作を可能にする。

【0063】図16は本発明のマルチプレクサセルの第10実施例を示す回路図である。

【0064】図16と図14との比較から明らかなように、本第10実施例のマルチプレクサセルは、前述した

12

第8実施例のマルチプレクサセルにおいて、差動増幅部の負荷素子(pMOSトランジスタ121、122)をクロスカップル接続したpMOSトランジスタ127および128により構成し、差動対トランジスタ123および124により駆動される出力ノード(Q、QX)を相補にプルアップして相補関係を保ちながら高速な動作を可能とするものである。なお、トランジスタ125がオフする期間、トランジスタ131、132がオンしてノードPNをプルアップすることにより、ノードPNの初期状態への遷移時間を短くして高速動作を可能にするのは第8実施例と同様である。

【0065】図17は本発明のマルチプレクサセルの第11実施例を示す回路図である。

【0066】本第11実施例のマルチプレクサセルは、前述した図14の第8実施例と図15の第9実施例との関係と同様に、図16の第10実施例のマルチプレクサセルに対して、さらに、トランジスタ125および126の接続ノード(PN2)をプルアップするpMOSトランジスタ133、134を設けたものである。なお、pMOSトランジスタ131、132は、第10実施例と同様に、差動対トランジスタ123、124の直下のノード(PN1)をプルアップする。また、これらトランジスタ131～134の各ゲートには、トランジスタ125のゲートに供給するのと同じクロック信号CLK0が供給されている。

【0067】本第11実施例のマルチプレクサセルは、前述した図7に示す第2実施例(図15に示す第9実施例)のマルチプレクサセルと同様に、プルアップ位置を2個所(複数個所)にすることにより、各ノード(PN1、PN2)の初期状態への遷移時間を短くして、より一層の高速動作を可能にする。

【0068】図18は本発明のマルチプレクサセルの第12実施例を示す回路図である。

【0069】本第12実施例のマルチプレクサセルは、上述した図14の第8実施例および図16の第10実施例におけるトランジスタ121、122および127、128を両方とも備えている。ここで、本第12実施例のマルチプレクサセルにおける差動増幅部は、図13を参照して説明した第7実施例と同様のものである。

【0070】すなわち、本第12実施例のマルチプレクサセルは、差動対トランジスタ123および124により駆動される出力ノード(Q、QX)を、pMOS負荷121、122によりプルアップすると共に、クロスカップル負荷127、128により相補にプルアップすることで、相補関係を保ちながら上述した第6実施例よりもドレン負荷を低減することができる。

【0071】すなわち、クロスカップル接続されるトランジスタ125および126のゲートは、それぞれ並列接続された2つのトランジスタ122、126および121、125のドレンに接続されるため、ドレン負

荷が低減されて、高速動作に寄与することになる。なお、トランジスタ125がオフする期間、トランジスタ131、132がオンしてノードPNをプルアップすることにより、ノードPNの初期状態への遷移時間を短くして高速動作を可能にすることは前述した第8実施例および第10実施例と同様である。

【0072】図19は本発明のマルチプレクサセルの第13実施例を示す回路図である。

【0073】本第13実施例のマルチプレクサセルは、前述した図14の第8実施例と図15の第9実施例（図16の第10実施例と図17の第11実施例）との関係と同様に、図18の第12実施例のマルチプレクサセルに対して、さらに、トランジスタ125および126の接続ノード（PN2）をプルアップするpMOSトランジスタ133、134を設けたものである。なお、pMOSトランジスタ131、132は、第10実施例と同様に、差動対トランジスタ123、124の直下のノード（PN1）をプルアップする。また、これらトランジスタ131～134の各ゲートには、トランジスタ125のゲートに供給するのと同じクロック信号CLK0が供給されている。

【0074】本第13実施例のマルチプレクサセルは、前述した図7に示す第2実施例（図15に示す第9実施例および図17に示す第11実施例）のマルチプレクサセルと同様に、プルアップ位置を2個所（複数個所）にすることにより、各ノード（PN1、PN2）の初期状態への遷移時間を短くして、より一層の高速動作を可能にする。

【0075】図20は本発明に係るマルチプレクサ回路の全体構成の他の例を示すブロック図である。

【0076】図20に示すマルチプレクサ回路は、前述した図4のマルチプレクサ回路における各マルチプレクサ10～13を差動（相補）の信号（パラレル入力データ PDO、PDOX～PD3、PD3X、シリアル出力データ SD、SDX）を扱えるものとして構成し、さらに、各マルチプレクサ10～13の出力に2つのNANDゲート21、22で構成したフリップフロップ（ラッチ）を設けてシリアル出力データSD、SDXを保持するようにしたものである。

【0077】以上、説明したように、本発明の各実施例によれば、マルチプレクサセル内部のノードを直接プルアップするバスを導入することにより、マルチプレクサ回路の動作帯域を改善することができる。さらに、プルアップバスのnMOSトランジスタの段数を減らすことにより高速動作の点で優位であり、高速のマルチプレクサを実現することが可能になる。

【0078】（付記1）パラレルデータが供給された複数のマルチプレクサセルを備え、前記パラレルデータをクロック信号に同期してシリアルデータに変換するマルチプレクサ回路であって、前記各マルチプレクサセル

は、第1の電源線と第2の電源線との間に直列に接続された第1の負荷並びに複数の第1電導型のトランジスタ、および、前記隣接する第1電導型トランジスタの接続ノードを前記第1の電源線のレベルに向けて変化させるレベル変化手段を備えることを特徴とするマルチプレクサ回路。

【0079】（付記2）付記1に記載のマルチプレクサ回路において、前記直列接続された第1の負荷と第1電導型のトランジスタとの接続ノードから前記各マルチプレクサセルの出力を取り出すことを特徴とするマルチプレクサ回路。

【0080】（付記3）付記1に記載のマルチプレクサ回路において、前記レベル変化手段を、前記隣接する第1電導型トランジスタの接続ノードの異なる個所に複数設けたことを特徴とするマルチプレクサ回路。

【0081】（付記4）付記1に記載のマルチプレクサ回路において、前記レベル変化手段を、前記第1の電源線に接続した少なくも1つの第2電導型のトランジスタで構成したことを特徴とするマルチプレクサ回路。

【0082】（付記5）付記1に記載のマルチプレクサ回路において、前記第1の負荷を、第2電導型のトランジスタで構成したことを特徴とするレシーバ回路。

【0083】（付記6）付記1に記載のマルチプレクサ回路において、前記レベル変化手段を、前記第1の電源線に接続した第2の負荷と該第2の負荷に直列接続した少なくも1つの第1電導型のトランジスタで構成したことを特徴とするマルチプレクサ回路。

【0084】（付記7）付記6に記載のマルチプレクサ回路において、前記第2の負荷を、第2電導型のトランジスタで構成したことを特徴とするマルチプレクサ回路。

【0085】（付記8）付記6に記載のマルチプレクサ回路において、前記第1および第2の負荷を、クロスカップル接続された第2電導型のトランジスタで構成したことを特徴とするマルチプレクサ回路。

【0086】（付記9）付記6に記載のマルチプレクサ回路において、前記第1および第2の負荷を、クロスカップル接続された第2電導型のトランジスタ、および、クロスカップルしていない第2電導型のトランジスタを並列に設けて構成したことを特徴とするマルチプレクサ回路。

【0087】（付記10）付記6に記載のマルチプレクサ回路において、前記第1および第2の負荷を、それぞれ第2電導型のトランジスタで構成したことを特徴とするマルチプレクサ回路。

【0088】（付記11）付記1に記載のマルチプレクサ回路において、前記レベル変化手段は、レイアウト上の回路の対称性を維持するようになっていることを特徴とするマルチプレクサ回路。

【0089】（付記12）付記11に記載のマルチ

15

レクサ回路において、前記レベル変化手段を、前記第1の電源線に接続した2つの第2電導型のトランジスタで構成したことを特徴とするマルチプレクサ回路。

【0090】(付記13) 付記1～12のいずれか1項に記載のマルチプレクサ回路において、前記各マルチプレクサセルは、差動の信号を処理する差動回路として構成されることを特徴とするマルチプレクサ回路。

【0091】(付記14) 付記1～13のいずれか1項に記載のマルチプレクサ回路において、さらに、前記複数のマルチプレクサセルの出力に設けたラッチ手段を備えることを特徴とするマルチプレクサ回路。

【0092】(付記15) 付記1～14のいずれか1項に記載のマルチプレクサ回路において、前記第1の電源線は高電位電源線であり、前記第2の電源線は低電位電源線であり、前記第1導電型トランジスタはnMOSトランジスタであることを特徴とするマルチプレクサ回路。

【0093】(付記16) 付記15に記載のマルチプレクサ回路において、前記第2導電型トランジスタはpMOSトランジスタであることを特徴とするマルチプレクサ回路。

【0094】(付記17) 付記1～16のいずれか1項に記載のマルチプレクサ回路において、前記マルチプレクサセルは、四相クロックにより制御される4つのマルチプレクサセルであることを特徴とするマルチプレクサ回路。

【0095】

【発明の効果】以上、詳述したように、本発明によれば、パラレルデータをクロック信号に同期したシリアルデータに高速に変換することのできるマルチプレクサ回路を提供することができる。

【図面の簡単な説明】

【図1】従来のマルチプレクサ回路の一例を示す回路図である。

【図2】図1のマルチプレクサ回路の動作を説明するためのタイミング図である。

【図3】従来のマルチプレクサ回路の他の例を示す回路図である。

【図4】本発明に係るマルチプレクサ回路の全体構成の一例を示すブロック図である。

【図5】図4のマルチプレクサ回路の動作を説明するためのタイミング図である。

【図6】本発明に係るマルチプレクサ回路におけるマルチプレクサセルの第1実施例を示す回路図である。

16

【図7】本発明のマルチプレクサセルの第2実施例を示す回路図である。

【図8】本発明のマルチプレクサセルの第3実施例を示す回路図である。

【図9】図8のマルチプレクサセルの動作を説明するためのタイミング図である。

【図10】本発明のマルチプレクサセルの第4実施例を示す回路図である。

【図11】本発明のマルチプレクサセルの第5実施例を示す回路図である。

【図12】本発明のマルチプレクサセルの第6実施例を示す回路図である。

【図13】本発明のマルチプレクサセルの第7実施例を示す回路図である。

【図14】本発明のマルチプレクサセルの第8実施例を示す回路図である。

【図15】本発明のマルチプレクサセルの第9実施例を示す回路図である。

【図16】本発明のマルチプレクサセルの第10実施例を示す回路図である。

【図17】本発明のマルチプレクサセルの第11実施例を示す回路図である。

【図18】本発明のマルチプレクサセルの第12実施例を示す回路図である。

【図19】本発明のマルチプレクサセルの第13実施例を示す回路図である。

【図20】本発明に係るマルチプレクサ回路の全体構成の他の例を示すブロック図である。

【符号の説明】

100, 10～13…マルチプレクサセル

101…負荷

102…駆動用トランジスタ

103, 104…データ確定用トランジスタ
105, 106…プルアップスイッチ（プルアップ用トランジスタ）

P D 0～P D 3…パラレルデータ

P D 0, P D 0 X ; ~P D 3, P D 3 X…差動のパラレルデータ

S D…シリアルデータ

S D, S D X…差動のシリアルデータ

V dd…高電位電源線（高電位電源電圧）

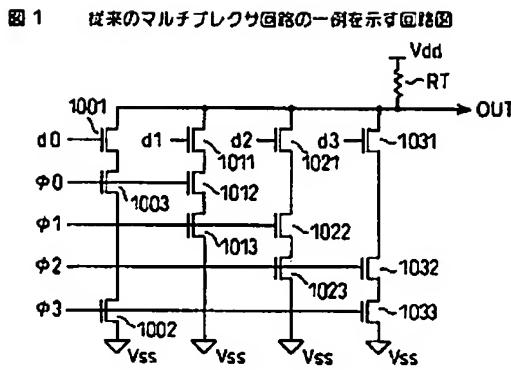
V ss…低電位電源線（低電位電源電圧）

ϕ 0～ϕ 3…四相クロック信号

30

40

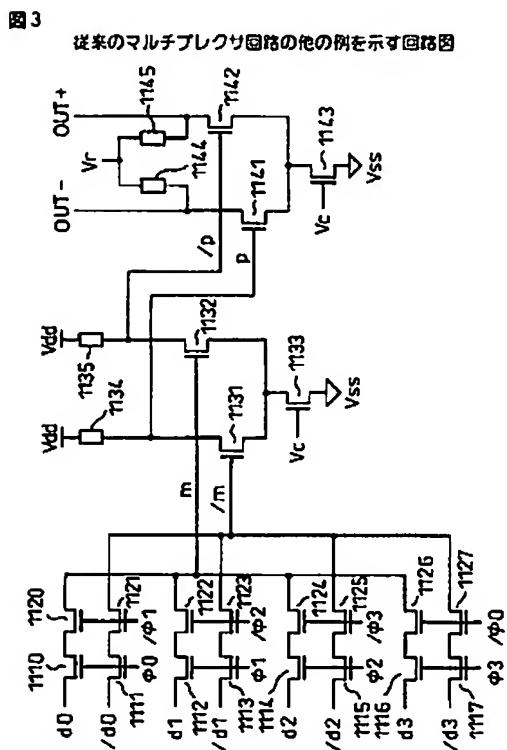
【図1】



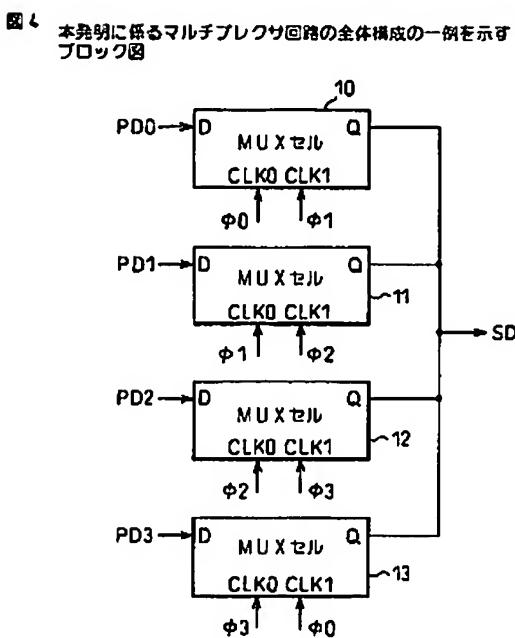
【図2】



【図3】



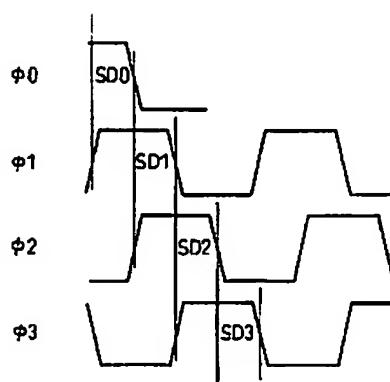
【図4】



【図5】

図5

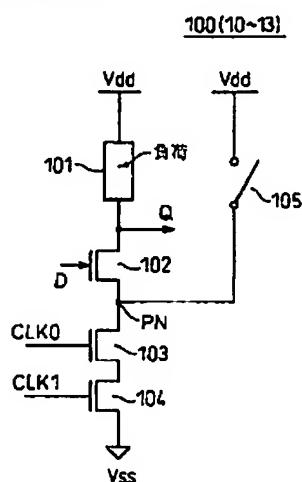
図4のマルチブレカサ回路の動作を説明するためのタイミング図



【図6】

図6

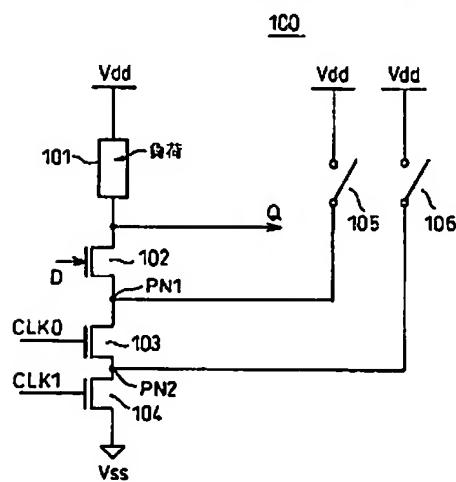
本発明に係るマルチブレカサ回路におけるマルチブレカセルの第1実施例を示す回路図



【図7】

図7

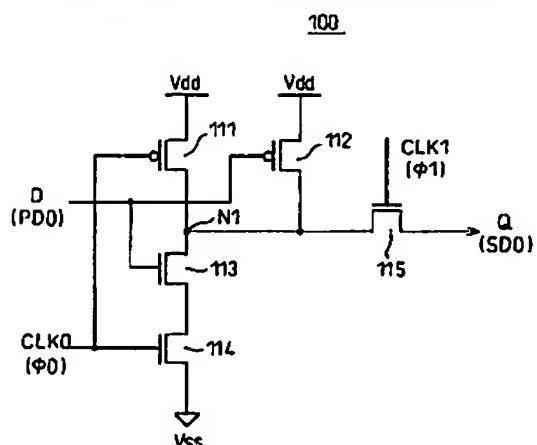
本発明のマルチブレカセルの第2実施例を示す回路図



【図8】

図8

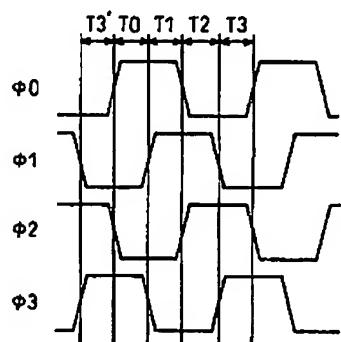
本発明のマルチブレカセルの第3実施例を示す回路図



【図9】

図9

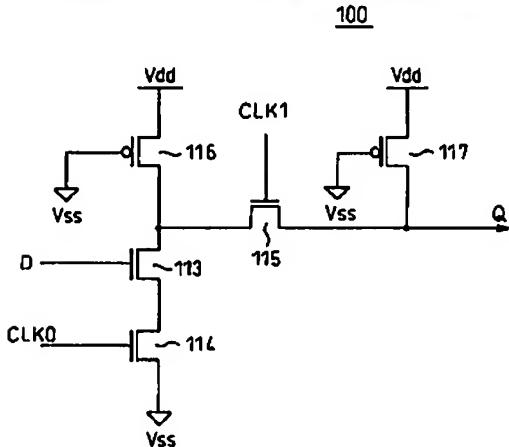
図8のマルチプレクサセルの動作を説明するためのタイミング図



【図10】

図10

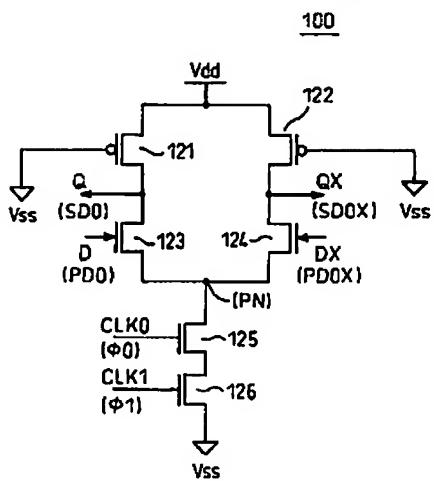
本発明のマルチプレクサセルの第4実施例を示す回路図



【図11】

図11

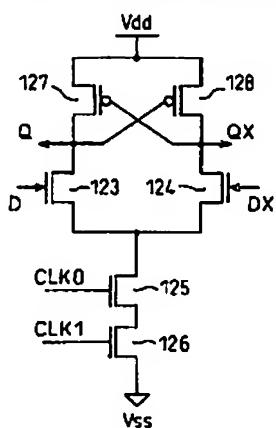
本発明のマルチプレクサセルの第5実施例を示す回路図



【図12】

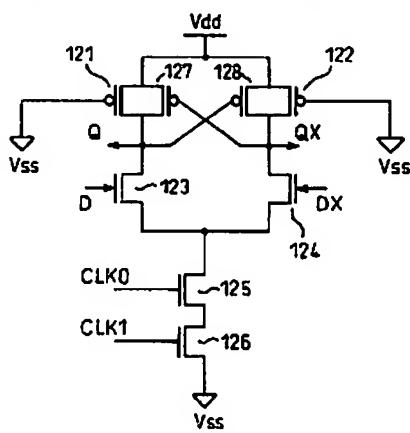
図12

本発明のマルチプレクサセルの第6実施例を示す回路図



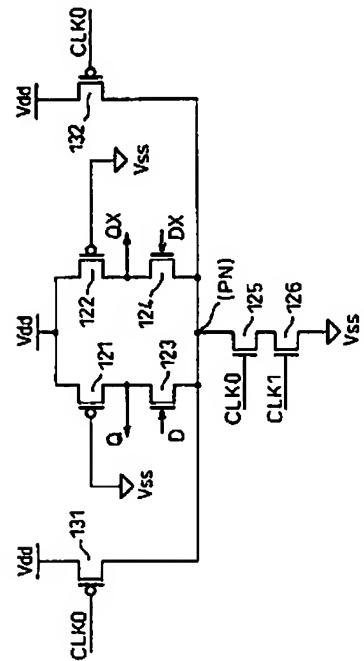
【図13】

図13
本発明のマルチブレクサセルの第7実施例を示す回路図



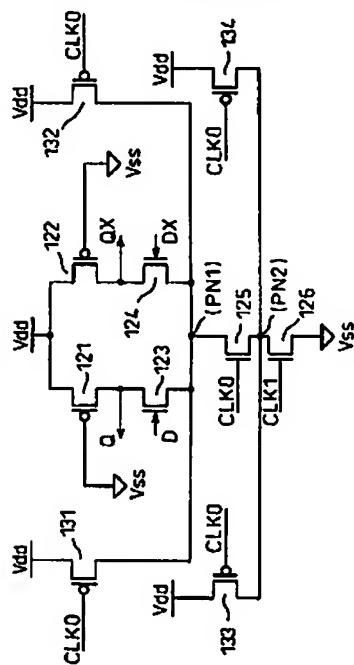
【図14】

図14
本発明のマルチブレクサセルの第8実施例を示す回路図



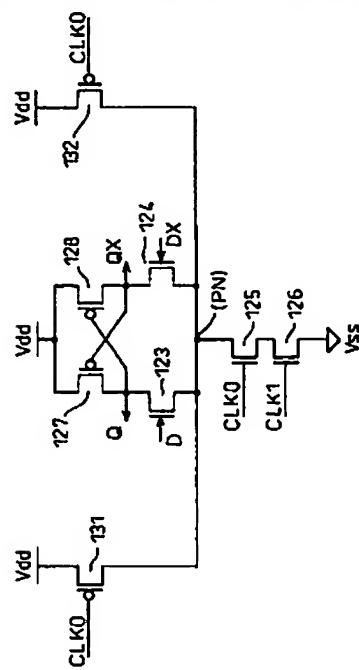
【図15】

図15
本発明のマルチブレクサセルの第9実施例を示す回路図



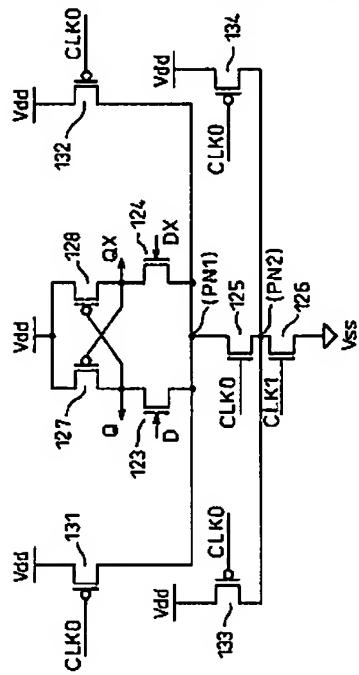
【図16】

図16
本発明のマルチブレクサセルの第10実施例を示す回路図



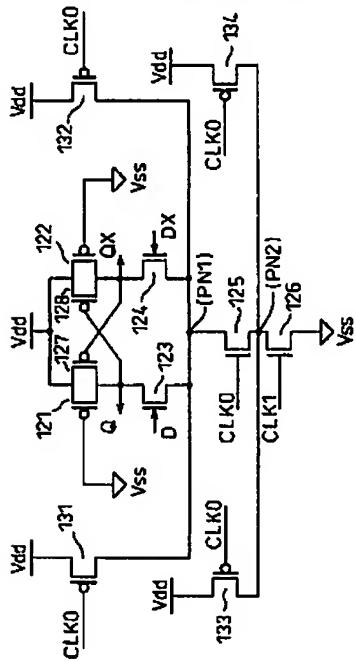
【図17】

図17 本発明のマルチブレクサセルの第11実施例を示す回路図



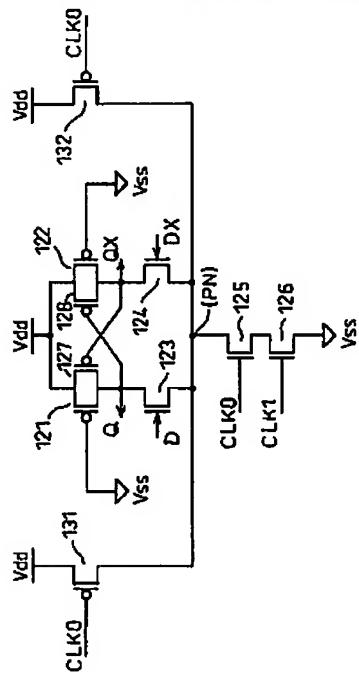
【図19】

図19 本発明のマルチブレクサセルの第13実施例を示す回路図



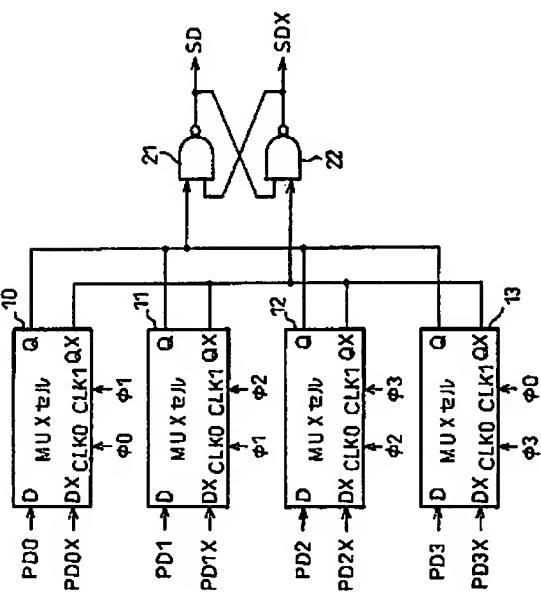
【図18】

図18 本発明のマルチブレクサセルの第12実施例を示す回路図



【図20】

図20 本発明に係るマルチブレクサ回路の全体構成の他の例を示すブロック図



フロントページの続き

F ターム(参考) 5J055 AX02 BX03 CX24 DX13 DX14
DX22 DX72 EZ12 EZ22 GX01
GX04